

## FE DE ERRATAS

A continuación se detallan las erratas y problemas encontrados hasta el momento en el libro “Diseño Digital con Lógica Programable”, así como algunas aclaraciones que se ha creído conveniente incluir.

Por favor, si encuentra alguna errata o problema en el libro o en los ficheros incluidos en el CD-ROM, no dude en comunicárselo al autor mediante un correo electrónico a la dirección [jalvarez@uvigo.es](mailto:jalvarez@uvigo.es).

## LIBRO

### - Pág. 164.

En la tabla 6.3, en lugar de las sentencias:

```
if entemp ='1' then
    -- Incrementa contador que actua como temporizador
    temp <= temp + 1;
end if;
```

deberían figurar las sentencias:

```
if entemp ='1' then
    -- Incrementa contador que actua como temporizador
    if temp = 4194303 then temp <= 0;
    else temp <= temp + 1;
    end if;
end if;
```

Si se mantiene tal como está en el libro, al hacer la simulación del circuito mediante el programa Modelsim, éste dará un error, pues el valor entero asignado al temporizador sobrepasará el máximo valor 4194303 indicado para su rango. A pesar de ello, si se programa la FPGA, ésta funcionará correctamente, dado que realmente el contador de 22 bits que se obtiene en la síntesis pasa automáticamente del estado 4194303 al estado cero.

### - Pág. 271.

En la tabla 7.3 no deberían estar las siguientes líneas:

```
write_address : INOUT std_logic_vector(8 downto 0);
read_address : INOUT std_logic_vector(8 downto 0);
```

pues esos terminales ya habían sido declarados en la tabla 7.2 y, por tanto, no

es necesario volver a añadirlos.

**- Pág. 284.**

En la figura 7.6 la entrada GTS del componente STARTUP\_SPARTAN2 debe conectarse a masa (GND) en lugar de a la tensión de alimentación (+Vcc), tal como aparece en la figura. Si se mantiene tal como está en el libro, en la simulación temporal del circuito todas las salidas estarán en tercer estado permanentemente. A pesar de ello, si se programa la FPGA, ésta funcionará correctamente.

**- Pág. 463.**

En la tabla A3.2 se indica que las señales KBCLK y KBDATA del teclado PS2 se conectan a los terminales 26 y 70, respectivamente, del PLD XC95108-PC84 de la placa "XS95" de Xess. Estas conexiones corresponden tanto al conector PS2 que se encuentra en la propia placa "XS95" como al conector incluido en la placa "Xstend".

Para que el teclado funcione correctamente en este caso, es necesario poner el microinterruptor SW8 de la placa "Xstend" en la posición "OFF", dado que también está conectado al terminal 70 del PLD.

## **TOMO 2 (INCLUIDO EN EL CD-ROM)**

Por el momento no se ha encontrado ninguna errata en el tomo 2.