

FE DE ERRATAS DISEÑO DE APLICACIONES MEDIANTE PLDs Y FPGAs (2/7/2001)

ERRORES ORTOGRÁFICOS Y DE FORMA:

- Pág. 108. En la última línea del penúltimo párrafo, donde dice “Este último fichero es que debemos contiene...” debería decir “Este último fichero es el que contiene...”
- Pág. 112. Dentro de la figura 5.9, a la última línea de texto le faltan las comillas de cierre.
- Pág. 114. El pie “Figura 5.11” debería estar en negrita.
- Pág. 158. El enunciado debería ser “Memoria PILA” (en español) en lugar de “memoria LIFO”.
- Pág. 174. Pie de figura 7.22. Falta un espacio entre “3” y “de”.
- Pág. 260. El pie de la tabla 11.4, donde dice “un señal senoidal” debería decir “una señal senoidal”.
- Pág. 283. En la línea cuatro, la señal se debería llamar GLINEA2 (sin espacios).
- Págs. 396 y 397. Tabla A5.6. Todas las líneas que empiezan por “Total” deberían estar en negrita.

ERRORES DE CONCEPTO:

- Pág. 21. En la tabla 1.5, la columna correspondiente al valor de la tensión umbral de entrada de nivel 1 (Vih) debería decir “2V.”, que es la tensión umbral mínima y no “Vccint + 0'5 V.”, que es la tensión umbral máxima, pero no nos aporta ningún dato de interés.
- Pág. 102. En la primera línea del antepenúltimo párrafo, donde dice “Vsic” debería decir “VHSIC”.
- Pág. 117. Es conveniente recordar que al generar el fichero HDL a partir de un grafo de estados definido mediante el editor gráfico, el editor HDL presenta por defecto el modo “Read Only”, por lo que si se quiere modificar algo en el fichero HDL es preciso desactivar este modo en la opción de menú “*Edit* → *Read Only*”.
- Pág. 160. Falta la descripción de la señal TC del contador de direcciones, que debería ser:
 - TC. Fin de contaje (contador=255). Permite detectar que la memoria está llena.
- Págs. 162 y 163. Tabla 7.6. La última línea de la descripción de las transiciones de los estados S0, S2 y S6 debe finalizar con punto y coma, que se ha omitido por error, tal como se observa en la tabla 7.4 en todos los estados con una descripción similar.
- Pág. 290. Tabla A1.1:
 - La primera línea de la sección de declaraciones debe ser la palabra clave **Declarations**, que se ha omitido por error.
 - En lugar de la línea ([0,0] -> [0,0,0,0]); de la sección Test_vectors debería poner ([0,0] -> [0,0,0,1]);
- Pág. 291. En la línea B3,B2,B1,B0 NODE 5,6,7,8; la asignación de los terminales externos 5,6,7,8 no tiene sentido ya que se trata de señales internas (NODE) al módulo ABEL.
- Pág. 344. En el quinto párrafo, donde dice “PSEN” debería decir “/PSEN”, ya que es activa a nivel cero.
- Pág. 370. Tabla A4.8. Las líneas correspondientes a la asignación de terminales (que comienzan con la palabra clave NET) deben terminar con punto y coma. En esta tabla se ha omitido por error en las ocho líneas correspondientes a los microinterruptores SW3_8 a SW3_1 y en la línea correspondiente al pulsador SPARE_P.
- Pág. 388:
 - En el párrafo dedicado a “Offset Out After Analysis”, donde dice “clock to pad” debería decir “clock pad to output pad”, tal como se puede observar en el informe de la tabla A5.5.
 - En el párrafo dedicado a “Default Path Analysis”, donde dice “clock pad to output pad” debería decir “clock to pad”, tal como se puede observar en el informe de la tabla A5.5.
- Pág. 393:
 - Primer párrafo. Donde dice “el período de la señal de reloj CLK debe ser al menos 28'674 ns. Por ello, la frecuencia externa máxima es de 1/28'674 ns.=34'87 Mhz.” debería decir “el período de la señal de reloj CLK debe ser al menos 23'449 ns. Por ello, la frecuencia externa máxima es de 1/23'449 ns.=42'64 Mhz.”. Esto es así porque el dato 28'674 ns. que se obtiene de la sección “Offset Out After Analysis” de la tabla A5.5 incluye el retardo debido a la llegada de la señal de reloj CLK desde el terminal CLK_P a la entrada de reloj de los biestables, que es de 5'225 ns. Este retardo no es necesario incluirlo en el cálculo del período mínimo de CLK, por lo que la resta de 28'674 ns. menos 5'225 ns. nos da 23'449 ns., tal como se observa en la tabla A5.5.
 - Segundo párrafo. Donde dice “el máximo retardo de esta categoría para una señal Qi es de 22'689 ns., por lo que la frecuencia externa máxima de funcionamiento en este caso será 1/22'689

ns.=34'87 Mhz.” debería decir “el máximo retardo de esta categoría para una señal Qi es de 17'464 ns., por lo que la frecuencia externa máxima de funcionamiento en este caso será 1/17'464 ns.=57'26 Mhz.”. Esto es así porque el dato 22'689 ns. que se obtiene de la sección “Offset Out After Analysis” de la tabla A5.5 incluye el retardo debido a la llegada de la señal de reloj CLK desde el terminal CLK_P a la entrada de reloj de los biestables, que es de 5'225 ns. Este retardo no es necesario incluirlo en el cálculo del período mínimo de CLK, por lo que la resta de 22'689 ns. menos 5'225 ns. nos da 17'464 ns., tal como se observa en la tabla A5.5.

- Tercer párrafo. Donde dice “el retardo del amplificador de reloj (tCLK) es 0, por lo que la señal LOAD_P debe estar estable al menos 15'802 ns. antes...” debería decir “el retardo de la señal de reloj CLK desde el terminal CLK_P a la entrada de reloj de los biestables es 5'225 ns., por lo que la señal LOAD_P debe estar estable al menos 15'802 ns. antes...”. En la sección “Offset In Before Analysis” de la tabla A5.5 se observa que el dato 15'802 ns. es la resta de 21'027 ns. menos 5'225 ns.

- Pág. 397. En el antepenúltimo párrafo, donde dice “(de la entrada de reloj CLK_P a la entrada de reloj del biestable Q0)” debería decir “(de la entrada de reloj CLK a la entrada de reloj del biestable Q0)”. Esto es así porque el dato 9'042 ns. no incluye el retardo desde el terminal CLK_P a la entrada de reloj del biestable Q0.

NOTA: En la página personal del autor en Internet (accesible en la dirección http://www.dte.uvigo.es/personales/jacobo_alvarez/home.html) puede encontrar información actualizada sobre las erratas del libro, así como los ficheros gráficos de los grafos de estado correspondientes a los ejemplos en el formato de la herramienta “Foundation” (.asf).