ÍNDICE

Introducción.	XV
Agradecimientos.	XX
Capítulo 1. Introducción a los Dispositivos Lógicos Programables (PLDs).	1
1.1.- Introducción.	1
1.2.- Elección de una familia de PLDs.	2
1.2.1.- Reglas generales para la elección de un PLD adecuado a una determinada aplicación.	6
1.3.- Criterios de comparación de PLDs.	7
1.4.- Normas para el diseño de sistemas digitales mediante PLDs.	7
1.5.- Fases del diseño y realización de circuitos con PLDs.	9
1.6.- Familias de PLDs de Xilinx.	10
1.7.- Arquitectura de los PLDs avanzados de la familia 9500 de Xilinx.	11
1.7.1.- Introducción.	12
1.7.2.- Recursos lógicos.	14
1.7.2.1.- Bloques funcionales (FBs).	14
1.7.2.2.- Macroceldas (“Macrocells”).	15
1.7.2.3.- Compartición de productos.	15
1.7.2.4.- Bloques de entrada/salida (IOBs).	16
1.7.3.- Recursos de interconexión.	17
1.7.4.- Características especiales de la familia 9500.	19
1.7.4.1.- Programación en el sistema (ISP).	19
1.7.4.2.-Protección del diseño.	19
1.7.4.3.- Modo de bajo consumo.	20
1.7.4.4.- Características eléctricas y de encapsulado. ..	20
1.8.- Normas para el diseño de sistemas digitales mediante PLDs de la familia 9500 de Xilinx.	22
Capítulo 2. Descripción estructural del diseño mediante esquemáticos.	25
2.1.- Introducción. Diagrama de flujo general.	25
2.1.1.- Fichero de configuración (“Aldec.ini”).	28
2.2.- Captura de esquemáticos.	29

2.2.1.- Añadir componentes.	29
2.2.2.- Unir componentes.	30
2.2.2.1.- Añadir buses.	30
2.2.3.- Añadir etiquetas.	31
2.2.4.- Añadir atributos.	33
2.3.- Creación de símbolos.	34
2.3.1.- Tipos de símbolos.	37
2.3.2.- Herramienta LOGIBLOX de creación de componentes.	38
2.3.3.- Creación de símbolos de memorias.	39
2.4.- Salvar el diseño.	41
2.5.- Bibliotecas de componentes.	41
2.5.1.- Creación de bibliotecas de usuario.	42
2.6.- Fichero de restricciones de usuario.	44

Capítulo 3. Verificación del diseño mediante simulación y análisis de retardos.

3.1.- Introducción.	45
3.2.- Simulación funcional.	46
3.2.1.- Selección de las señales a simular.	47
3.2.2.- Representación de las señales elegidas.	48
3.2.3.- Definición de estímulos.	49
3.2.3.1.- Mediante el selector de estímulos.	50
3.2.3.2.- Mediante un fichero de comandos.	52
3.2.4.- Ejecución de la simulación.	59
3.2.4.1.- Simulación mediante el teclado del PC.	59
3.2.4.2.- Simulación mediante fichero de comandos.	61
3.3.- Simulación temporal.	62
3.4.- Análisis de retardos.	63
3.4.1.- Informe de retardos de la implementación.	63
3.4.2.- Análisis específico mediante el Analizador de Tiempos.	64
3.4.2.1.- Definición de restricciones temporales.	64
- Mediante un fichero de restricciones.	64
- En el esquemático.	66
3.4.2.2.- Analizador de Tiempos (“Timing Analyzer”).	68
3.4.2.2.1.- Informes del programa.	68
3.4.2.2.2.- Opciones de los informes.	69

Capítulo 4. Compilación e implementación del diseño.

4.1.- Introducción.	71
4.2.- Compilación del diseño.	73
4.2.1.- Traducción del formato de lista de conexiones.	73
4.2.2.- Optimización de la lista de conexiones.	73

Índice	IX
4.3.- Implementación del diseño.	74
4.3.1.- Opciones de implementación para PLDs (familia 9500).	74
4.3.1.1.- Plantilla de implementación para PLDs.	75
- Opciones básicas.	75
- Opciones avanzadas.	77
- Opciones de informes de retardos.	79
- Opciones de programación.	79
- Opciones de acoplamiento.	80
4.3.1.2.- Plantilla de simulación para PLDs.	80
4.3.1.3.- Asignación de recursos (“fitting”) para PLDs.	81
4.3.2.- Opciones de implementación para FPGAs (familia 4000E).	84
4.3.2.1.- Plantilla de implementación para FPGAs.	85
- Opciones de optimización y asignación.	85
- Opciones de posicionamiento y enrutado.	87
- Opciones de informes de retardos.	88
- Opciones de acoplamiento.	89
4.3.2.2.- Plantilla de simulación para FPGAs.	89
4.3.2.3.- Plantilla de configuración para FPGAs.	89
- Opciones de configuración.	89
- Opciones de inicio (“startup”).	91
- Opciones de verificación (“readback”).	92
- Opciones de unión (“tie”).	94
- Opciones avanzadas.	94
4.3.2.4.- Asignación de recursos, partición, posicionamiento y enrutado para FPGAs.	95
Capítulo 5. Descripción del diseño mediante HDLs.	101
5.1.- Introducción.	101
5.2.- Utilización del editor HDL.	103
5.2.1.- Opciones de síntesis.	105
5.3.- Inclusión de un componente HDL en un esquemático.	109
5.4.- Herramientas gráficas para la descripción de diagramas de estados de Sistemas Secuenciales Síncronos.	110
5.4.1.- Opciones de síntesis.	114
Capítulo 6. Configuración de PLDs.	119
6.1.- Introducción.	119
6.2.- Obtención del fichero SVF.	121
6.3.- Programación del PLD mediante el interfaz JTAG y un cable simple.	122

Capítulo 7. Ejemplos de aplicaciones de los PLDs.	127
7.1.- Introducción.	127
7.2.- Lectura de un teclado PS2.	128
7.2.1.- Solución del problema.	130
7.2.2.- Simulación del circuito.	132
7.2.3.- Comprobación del funcionamiento del circuito.	132
7.3.- Acoplamiento entre un microcontrolador 8031 y una memoria SRAM. Definición de periféricos en el PLD.	135
7.3.1.- Solución del problema.	136
7.3.1.1.- Programa del microcontrolador.	139
7.3.2.- Simulación del circuito.	141
7.3.3.- Comprobación del funcionamiento del circuito.	142
7.4.- Sistema de alarma doméstico.	145
7.4.1.- Solución del problema.	146
7.4.2.- Simulación del circuito.	152
7.4.3.- Comprobación del funcionamiento del circuito.	153
7.5.- Memoria LIFO realizada con un PLD y una memoria SRAM.	158
7.5.1.- Solución del problema.	159
7.5.2.- Simulación del circuito.	163
7.5.3.- Comprobación del funcionamiento del circuito.	163
7.6.- Periodómetro.	166
7.6.1.- Solución del problema.	166
7.6.2.- Simulación del circuito.	171
7.6.3.- Comprobación del funcionamiento del circuito.	171
Capítulo 8. Introducción a los conjuntos configurables de puertas (FPGAs).	177
8.1.- Introducción.	177
8.2.- Elección de una familia de FPGAs.	178
8.2.1.- Reglas generales para la elección de una FPGA adecuada a una determinada aplicación.	179
8.3.- Criterios de comparación de FPGAs.	180
8.4.- Normas para el diseño de sistemas digitales mediante FPGAs.	184
8.5.- Fases del diseño y realización de circuitos con FPGAs.	185
8.6.- Familias de FPGAs de Xilinx.	186
8.7.- Arquitectura de las FPGAs de la familia 4000E de Xilinx.	187
8.7.1.- Introducción.	188
8.7.2.- Memoria de configuración.	190
8.7.3.- Recursos lógicos.	191
8.7.3.1.- Bloques lógicos internos (CLBs).	191
8.7.3.2.- Bloques de Entrada/Salida (IOBs).	192
8.7.4.- Recursos de interconexión.	193

Índice	XI
8.7.4.1.- Conexiones configurables.	193
8.7.4.2.- Líneas de interconexión.	194
8.7.5.- Características especiales de la familia 4000.	197
8.7.5.1.- Buses internos.	198
8.7.5.2.- Decodificadores de gran amplitud.	198
8.7.5.3.- Generación rápida de acarreo.	198
8.7.5.4.- Memorias RAM.	199
8.7.5.5.- Exploración periférica (“Boundary Scan”). ..	200
8.7.5.6.- Características eléctricas y de encapsulado. ..	200
8.8.- Normas para el diseño de sistemas digitales mediante FPGAs de la familia 4000E de Xilinx.	201
Capítulo 9. Edición del diseño implementado en una FPGA.	207
9.1.- Introducción.	207
9.2.- Utilización del editor EPIC.	208
9.3.- Edición de bloques.	209
Capítulo 10. Configuración de FPGAs.	213
10.1.- Introducción.	213
10.2.- Métodos de configuración de la familia 4000E de FPGAs.	213
10.2.1.- Programación y verificación de una LCA mediante el modo esclavo serie (“Slave serial”).	216
10.3.- Comprobación del circuito implementado (“probing”).	220
10.3.1.- Comprobación asíncrona.	222
10.3.2.- Comprobación síncrona.	225
10.4.- Programación de una una memoria serie de configuración.	227
10.4.1.- Obtención del fichero de programación de la memoria.	228
10.4.2.- Manejo de un programador universal.	230
Capítulo 11. Ejemplos de aplicaciones de las FPGAs.	233
11.1.- Introducción.	233
11.2.- Calculadora.	234
11.2.1.- Solución del problema.	235
11.2.2.- Simulación del circuito.	242
11.2.3.- Comprobación del funcionamiento del circuito.	242
11.3.- Memoria FIFO.	247
11.3.1.- Solución del problema.	248
11.3.2.- Simulación del circuito.	255
11.3.3.- Comprobación del funcionamiento del circuito.	255
11.4.- Generación de señales senoidales.	259
11.4.1.- Solución del problema.	259
11.4.2.- Simulación del circuito.	263

11.4.3.- Comprobación del funcionamiento del circuito.	263
11.5.- Transmisor síncrono en código Manchester.	267
11.5.1.- Solución del problema.	268
11.5.2.- Simulación del circuito.	273
11.5.3.- Comprobación del funcionamiento del circuito.	273
11.6.- Receptor síncrono en código Manchester.	277
11.6.1.- Solución del problema.	278
11.6.2.- Simulación del circuito.	285
11.6.3.- Comprobación del funcionamiento del circuito.	285
Apéndice 1. Lenguaje ABEL.	289
A1.1.- Introducción.	289
A1.2.- Sintaxis del fichero ABEL.	290
A1.3.- Asignación de atributos.	293
A1.4.- Ecuaciones lógicas.	294
A1.4.1.- Ecuaciones de control del circuito (“dot extensions”).	295
A1.4.2.- Ecuaciones condicionales.	297
A1.5.- Tablas de verdad.	297
A1.6.- Descripción de grafos de estado.	298
A1.7.- Macroinstrucciones.	299
A1.8.- Ejemplos de diseño.	300
A1.8.1.- Descripción de un sistema secuencial síncrono.	304
A1.8.1.1.- Codificación binaria.	304
A1.8.1.2.- Codificación 1 entre N.	307
A1.8.1.3.- Descripción simbólica.	309
A1.9.- Utilización de los ficheros ABEL.	312
Apéndice 2. Lenguaje VHDL.	313
A2.1.- Introducción.	313
A2.2.- Sintaxis del fichero VHDL.	314
A2.3.- Bibliotecas y paquetes.	315
A2.4.- Entidad.	316
A2.5.- Arquitectura.	316
A2.6.- Descripción lógica.	317
A2.6.1.- Sentencias concurrentes.	319
A2.6.2.- Sentencias secuenciales.	321
A2.6.2.1.- Bucles.	322
A2.7.- Ejemplos.	324
A2.7.1.- Descripción de un sistema secuencial síncrono.	327
A2.8.- Utilización de los ficheros VHDL.	330

Apéndice 3. Placas de desarrollo basadas en PLDs de Xilinx.	333
A3.1.- Introducción.	333
A3.2.- Placa de desarrollo “XC9536 ISP Demo Board” de Digi-Key. ...	333
A3.3.- Placa de desarrollo “XS95” de Xess.	333
A3.3.1.- Descripción de las conexiones del PLD 95108.	336
A3.3.2.- Normas de diseño con la placa de Xess.	341
A3.3.3.- Generación del fichero hexadecimal para la programación del microcontrolador.	344
A3.3.4.- Comprobación del circuito. GXSPORT.	345
A3.3.5.- Solución de problemas.	346
A3.3.6.- Asignación de terminales del PLD.	346
Apéndice 4. Placas de desarrollo basadas en FPGAs de Xilinx.	351
A4.1.- Introducción.	351
A4.2.- Placa de desarrollo “XS40” de Xess.	352
A4.3.- Placa de desarrollo “Emulador” de la Universidad de Vigo.	352
A4.3.1.- Selección del modo de configuración.	353
A4.3.2.- Normas de diseño con la placa Emulador.	355
A4.3.3.- Comprobación del circuito implementado.	356
A4.3.4.- Solución de problemas.	356
A4.3.5.- Asignación de terminales de la placa Emulador.	356
A4.4.- Placa de desarrollo “FPGAboard” de Xilinx.	358
A4.4.1.- Selección del modo de configuración.	360
A4.4.2.- Descripción de las conexiones de la FPGA 4005E. ...	363
A4.4.3.- Normas de diseño con la placa de Xilinx.	367
A4.4.4.- Comprobación del circuito implementado.	369
A4.4.5.- Solución de problemas.	369
A4.4.6.- Asignación de terminales de la placa “FPGAboard”. .	370
Apéndice 5. Informes de implementación.	373
A5.1.- Introducción.	373
A5.2.- Informes de la herramienta Foundation para PLDs.	373
A5.2.1.- Informe de traducción (“translation”) para PLDs.	374
A5.2.2.- Informe de asignación (“fitting”) para PLDs.	375
A5.2.3.- Informe de retardos (“Post layout timing”) para PLDs.	379
A5.2.3.1.- Retardos analizados por Foundation.	379
A5.2.3.2.- Análisis del informe de retardos.	380
A5.2.3.3.- Significado de los retardos del informe. ...	383
A5.3.- Informes de la herramienta Foundation para FPGAs.	384
A5.3.1.- Informe de asignación (“map”) para FPGAs.	385
A5.3.2.- Informe de retardos (“Post layout timing”) para FPGAs.	387

A5.3.2.1.- Retardos analizados por Foundation.	387
A5.3.2.2.- Análisis del informe de retardos.	388
A5.3.2.3.- Significado de los retardos del informe.	393
A5.3.3.- Análisis específico de usuario.	394
A5.3.3.1.- Análisis del informe de retardos.	397
Apéndice 6. Biblioteca de esquemáticos de Foundation.	399
A6.1.- Introducción.	399
A6.2.- Lista de componentes de la biblioteca.	400
Apéndice 7. Errores más frecuentes en Foundation.	405
A7.1.- Introducción.	405
A7.2.- Avisos (“warnings”) de compilación.	405
A7.3.- Errores generales.	406
A7.4.- Errores de compilación e implementación.	406
A7.5.- Errores de simulación.	407
A7.6.- Errores en XABEL.	408
A7.7.- Errores en el ensamblador del microcontrolador 8051.	408
A7.8.- Errores en la placa de PLDs de Xess.	408