

ÍNDICE

	Nº de página del archivo PDF
Portada	1
Dedicatoria	3
Índice	5
Introducción	43
Agradecimientos	47

1. INTRODUCCIÓN.

1.1.	Introducción a la Lógica Programable.	49
1.1.1.	Introducción.	50
1.1.2.	Antecedentes de los Circuitos Digitales Configurables.	60
1.1.3.	Definición y clasificación de los Circuitos Digitales Configurables.	65
1.1.4.	Características generales.	73
1.1.5.	Fases del diseño con Circuitos Digitales Configurables.	75
1.1.6.	Ventajas de los Circuitos Digitales Configurables.	76
1.1.7.	Aplicaciones.	79

2. TEORÍA BÁSICA SOBRE FPGAs.

2.1.	Arquitecturas de las FPGAs.	81
2.1.1.	Introducción a las FPGAs.	82
2.1.2.	Arquitecturas de las FPGAs.	84
2.1.3.	Recursos lógicos.	91
2.1.3.1.	Bloques lógicos internos básicos.	92
2.1.3.2.	Bloques de entrada / salida.	104
2.1.3.3.	Circuitos dedicados.	108
2.1.4.	Recursos de interconexión.	118
2.1.4.1.	Líneas de interconexión.	122
2.1.4.2.	Conexiones configurables.	127
2.1.5.	Características de las FPGAs.	134
2.2.	Tecnologías y configuración de las FPGAs.	139
2.2.1.	Introducción.	140
2.2.2.	Memoria de configuración.	141
2.2.3.	Tecnologías de configuración.	143
2.2.3.1.	Tecnología de memoria pasiva EEPROM.	144
2.2.3.2.	Tecnologías de memoria activa SRAM.	146
2.2.3.3.	Tecnologías de antifusible.	151

2.2.4.	Métodos de configuración.	156
2.2.5.	Comparativa de las tecnologías.	166
2.2.6.	Comprobación de las FPGAs.	171
2.3.	Etapas del proceso de diseño con FPGAs.	173
2.3.1.	Introducción.	174
2.3.2.	Etapas del diseño y realización de un sistema digital mediante FPGAs.	175
2.3.2.1.	Descripción del diseño.	176
2.3.2.2.	Compilación y síntesis.	185
2.3.2.3.	Implementación.	191
2.3.2.4.	Programación del circuito.	199
2.3.2.5.	Verificación del diseño.	200
2.3.3.	Herramientas de CAD.	207
2.4.	Implementación con FPGAs. Posicionamiento y enrutado.	219
2.4.1.	Introducción.	220
2.4.2.	Implementación del diseño con FPGAs.	222
2.4.3.	Posicionamiento.	223
2.4.4.	Enrutado.	234
2.4.5.	Conclusiones.	246
2.5.	Aplicaciones de las FPGAs.	249

2.5.1.	Ámbito de aplicación.	250
2.5.2.	Campos de aplicación.	251
2.5.3.	Tipos de circuitos implementados.	258
2.5.4.	Características de las FPGAs.	268
2.5.5.	Ejemplos de aplicación real.	272
2.5.6.	Análisis de aplicaciones.	279

3. ANÁLISIS DE FAMILIAS DE FPGAs CONCRETAS.

3.1.	Ejemplos de arquitecturas de FPGAs. FPGAs comerciales.	303
3.1.1.	Arquitectura mar de puertas.	304
3.1.2.	Arquitectura cuadrícula “Manhattan”.	318
3.1.3.	Arquitectura terraza.	339
3.1.4.	Arquitectura celular.	349
3.2.	Familia Spartan 2E de FPGAs de Xilinx.	357
3.2.1.	Introducción.	358
3.2.2.	Subfamilias de la familia Spartan.	360
3.2.3.	Arquitectura básica.	365
3.2.4.	Recursos lógicos internos.	367
3.2.5.	Recursos de entrada/salida (E/S).	376
3.2.6.	Recursos de interconexión.	379
3.2.6.1.	Conexiones configurables.	380
3.2.6.2.	Líneas de interconexión.	383
3.2.7.	Tecnología.	389
3.2.8.	Otras características.	391
3.2.9.	Normas de diseño.	398
3.3.	Familias Virtex 2, 4 y 5 y Spartan 3 de FPGAs de Xilinx.	405

3.3.1.	Introducción.	406
3.3.2.	Arquitectura de la familia Virtex 2 de Xilinx.	408
3.3.2.1.	CLBs. “Slices”.	411
3.3.2.2.	Memorias.	429
3.3.2.3.	Multiplicadores “hardware”.	436
3.3.2.4.	Circuitos de reloj.	438
3.3.2.5.	Bloques de E/S. Tecnologías de E/S.	443
3.3.3.	Virtex 2 Pro frente a Virtex 2.	448
3.3.4.	Virtex 4 frente a Virtex 2.	450
3.3.5.	Virtex 5 frente a Virtex 4.	452
3.3.6.	Spartan 3 frente a Virtex 2.	455
3.3.7.	Normas de síntesis.	461
3.4.	Familia Cyclone de FPGAs de Altera.	465
3.4.1.	Introducción.	466
3.4.2.	Subfamilias de la familia Cyclone.	468
3.4.3.	Arquitectura básica.	471
3.4.4.	Recursos lógicos internos.	473
3.4.5.	Circuitos de reloj.	493
3.4.6.	Recursos de entrada/salida (E/S).	508

3.4.7.	Recursos de interconexión.	520
3.4.8.	Subfamilia Cyclone II.	532
3.4.9.	Otras características comunes.	547
3.4.9.1.	Tecnología.	547
3.4.9.2.	Configuración.	549
3.4.10.	Características eléctricas y temporales.	559
3.4.11.	Normas de diseño.	565
3.5.	Familia Stratix de FPGAs de Altera.	569
3.5.1.	Introducción.	570
3.5.2.	Subfamilias de la familia Stratix.	572
3.5.3.	Arquitectura básica.	576
3.5.4.	Recursos lógicos internos.	578
3.5.5.	Circuitos de reloj.	583
3.5.6.	Recursos de entrada/salida (E/S).	590
3.5.7.	Recursos de interconexión.	597
3.5.8.	Bloques DSP.	599
3.5.9.	Programación en el sistema.	607
3.5.10.	Subfamilia Stratix II.	623
3.5.11.	Subfamilias Stratix GX y Stratix II GX.	637

4. TEORÍA BÁSICA DE DISEÑO DIGITAL.

4.1.	Introducción a los métodos de diseño de sistemas digitales con FPGAs.	649
4.1.1.	Introducción.	650
4.1.2.	Diseño de sistemas digitales.	651
4.1.2.1.	Diseño jerárquico.	651
4.1.2.2.	Diseño trasladable a otras tecnologías.	655
4.1.2.3.	Diseño temporal.	659
4.1.2.3.1.	Diseño síncrono.	673
4.2.	Diseño síncrono con FPGAs.	677
4.2.1.	Introducción.	678
4.2.2.	Normas de diseño de Sistemas Secuenciales Síncronos con FPGAs.	686
4.2.3.	Transitorios en salidas.	716
4.2.4.	Herramientas de ayuda.	733
4.3.	Sincronización de entradas.	735
4.3.1.	Introducción.	736
4.3.2.	Sincronización de las variables de entrada.	738
4.3.2.1.	Variables asíncronas independientes.	748
4.3.2.2.	Detección de flancos.	753
4.3.2.3.	Variables asíncronas relacionadas.	763

4.3.2.4.	Variables con señal de reloj propia.	769
4.3.2.5.	Variables autosincronizadas.	776
4.3.3.	S.S.S. con diferentes relojes.	782
4.3.4.	Detección de pulsos cortos.	796
4.4.	Diseño de Sistemas Secuenciales de control (máquinas de estado).	803
4.4.1.	Introducción.	804
4.4.2.	Codificación de un S.S.S.	805
4.4.2.1.	Codificación binaria natural.	811
4.4.2.2.	Codificación Gray.	818
4.4.2.3.	Codificación 1 entre N.	822
4.4.3.	Condiciones de transición.	829
4.4.4.	Realización de salidas.	834
4.4.5.	Puesta en estado inicial.	843
4.5.	Introducción al diseño de sistemas digitales complejos.	851
4.5.1.	Introducción.	852
4.5.2.	Análisis previo.	853
4.5.3.	Aplicaciones de las FPGAs.	857
4.5.4.	Sistemas complejos.	858
4.5.5.	Método sistemático de diseño.	863

4.5.6.	Contraste del método sistemático de diseño.	880
4.5.7.	Elección del flanco activo de reloj.	898
4.6.	Circuitos aritméticos.	925
4.6.1.	Introducción.	926
4.6.2.	Sumadores.	932
4.6.2.1.	Sumador paralelo combinacional.	937
4.6.2.2.	Circuitos de cálculo del acarreo.	943
4.6.2.3.	Acarreos en paralelo.	953
4.6.2.4.	Sumador serie secuencial.	958
4.6.2.5.	Sumadores (continuación).	962
4.6.3.	Restadores.	967
4.6.3.1.	Números negativos.	968
4.6.3.2.	Complemento a dos.	971
4.6.3.3.	Restador total.	976
4.6.3.4.	Restador paralelo combinacional.	983
4.6.3.5.	Rebasamiento.	988
4.6.3.6.	Circuitos de cálculo del acarreo.	994
4.6.3.7.	Acarreos en paralelo.	1001
4.6.3.8.	Restador serie secuencial.	1004

4.6.3.9.	Sumador / Restador.	1008
4.6.3.10.	Restadores (continuación).	1009
4.6.4.	Comparadores.	1012
4.6.4.1.	Comparador con operando constante.	1016
4.6.4.2.	Comparadores de identidad.	1019
4.6.4.2.1.	Combinacional.	1019
4.6.4.2.2.	Secuencial.	1022
4.6.4.3.	Comparadores de magnitud.	1026
4.6.4.3.1.	Combinacional.	1026
4.6.4.3.2.	Secuencial.	1036
4.6.4.4.	Comparador con circuito restador.	1040
4.6.4.5.	Comparadores (continuación).	1044
4.6.5.	Detectores/Generadores de paridad.	1046
4.6.5.1.	Generador paralelo combinacional.	1051
4.6.5.2.	Generador serie secuencial.	1055
4.6.5.3.	Detector paralelo combinacional.	1059
4.6.5.4.	Detector serie secuencial.	1063
4.6.5.5.	Detectores/Generadores (continuación).	1067
4.6.6.	Multiplicadores.	1069

4.6.6.1.	Multiplicador con operando potencia de 2.	1072
4.6.6.2.	Multiplicador con operando constante.	1074
4.6.6.3.	Multiplicador paralelo combinacional.	1083
4.6.6.4.	Multiplicador serie secuencial.	1093
4.6.6.5.	Multiplicadores (continuación).	1102
4.6.7.	Divisores.	1104
4.6.7.1.	Divisor con operando potencia de 2.	1106
4.6.7.2.	Divisor simple basado en restas.	1108
4.6.7.3.	Divisor con algoritmo restaurador.	1116
4.6.7.4.	Divisores (continuación).	1130
4.7.	Circuitos temporizadores.	1133
4.7.1.	Introducción.	1134
4.7.2.	Funciones de temporización.	1135
4.7.3.	Tipos de temporizadores.	1139
4.7.4.	Elección de un temporizador.	1143
4.7.5.	Realización de temporizadores digitales internos.	1150
4.7.6.	Modificación de la función de temporización.	1165

5. TEORÍA AVANZADA DE DISEÑO DIGITAL.

5.1.	Técnicas avanzadas de diseño.	1177
5.1.1.	Introducción.	1178
5.1.2.	Diseño de sistemas digitales.	1179
5.1.2.1.	Diseño jerárquico.	1179
5.1.2.1.1.	Compilación incremental.	1195
5.1.2.2.	Diseño trasladable a otras tecnologías.	1204
5.2.	Metaestabilidad.	1213
5.2.1.	Definición de metaestabilidad.	1214
5.2.2.	Soluciones para minimizar la metaestabilidad.	1223
5.2.2.1.	Sincronización de múltiples etapas.	1226
5.2.2.2.	Sincronización de múltiples relojes.	1237
5.2.3.	Medición de la metaestabilidad.	1241
5.2.4.	Conclusiones.	1244
5.2.5.	Ejemplos prácticos.	1245
5.3.	Subgrafos de control.	1253
5.3.1.	Introducción.	1254
5.3.2.	Subgrafos.	1255
5.4.	Aritmética binaria con signo y decimal.	1259

5.4.1.	Introducción.	1260
5.4.2.	Números binarios con signo.	1261
5.4.2.1.	Complemento a dos.	1265
5.4.2.2.	Operaciones con números negativos (extensión de signo).	1271
5.4.3.	Números binarios decimales.	1274
5.4.3.1.	Coma fija. Formato IQ.	1276
5.4.3.1.1.	ImQn.	1276
5.4.3.1.2.	I1Qn. Formato fraccionario puro.	1297
5.4.3.2.	Coma flotante. Formato IEEE 754.	1307
5.5.	Aritmética binaria decimal para FPGAs.	1321
5.5.1.	Introducción.	1322
5.5.2.	Diseño de aplicaciones de coma fija.	1327
5.5.3.	Cuantificación y rebasamiento.	1328
5.5.3.1.	Cuantificación.	1331
5.5.3.2.	Rebasamiento.	1336
5.5.4.	Cuantificación y rebasamiento (continuación).	1351
5.5.5.	Divisores.	1352
5.5.6.	Coma flotante.	1355
5.6.	Fenómenos eléctricos.	1359

5.6.1.	Introducción.	1360
5.6.2.	Transitorios de la tensión de alimentación.	1362
5.6.3.	Oscilación del nivel de masa (“ground bounce”).	1363
5.6.4.	Acoplamiento entre señales (“coupling”).	1370
5.6.5.	Sobreoscilaciones (“ringing”).	1371
5.6.6.	Reflexiones (“reflections”).	1373
5.7.	Circuitos secuenciales lineales.	1379
5.7.1.	Introducción.	1380
5.7.2.	Filtros alimentados.	1382
5.7.3.	Filtros realimentados.	1391
5.7.4.	Aplicaciones.	1403
5.7.5.	Registros de desplazamiento realimentados (LFSRs).	1410
5.8.	Verificación de sistemas digitales implementados mediante FPGAs..	1421
5.8.1.	Introducción.	1422
5.8.2.	Verificación estática.	1423
5.8.2.1.	Simulación funcional.	1424
5.8.2.2.	Simulación temporal.	1428
5.8.2.3.	Análisis de retardos.	1431
5.8.3.	Verificación dinámica.	1440

5.8.3.1.	Comprobación del fabricante.	1442
5.8.3.2.	Comprobación del diseñador.	1446
5.8.3.2.1.	Reglas “Ad-Hoc”.	1448
5.8.3.2.2.	Técnicas estructuradas.	1450
5.8.3.2.3.	Boundary Scan.	1452
5.8.3.2.3.1.	Circuitos de Boundary Scan.	1455
5.8.3.2.3.2.	Puerto de comprobación (TAP).	1458
5.8.3.2.3.3.	Unidad de control (TAP controller).	1460
5.8.3.2.3.4.	Celda básica.	1469
5.8.3.2.3.5.	Instrucciones obligatorias.	1474
5.8.3.2.3.6.	Instrucciones opcionales.	1480
5.8.3.2.4.	Autocomprobación.	1486
5.9.	Análisis de retardos de sistemas digitales.	1489
5.9.1.	Introducción.	1490
5.9.2.	Tipos de retardos.	1493
5.9.3.	Informes de retardos.	1512
5.9.4.	Análisis de retardos.	1516
5.9.5.	Retardos de un S.S.S. de control.	1517
5.9.6.	Ejemplos de cálculo de retardos de sistemas digitales.	1544

5.9.6.1.	Sistema combinacional.	1545
5.9.6.2.	Sistema secuencial autónomo.	1553
5.9.6.3.	Sistema secuencial con unidad de control.	1570
5.9.6.4.	Circuito secuencial asíncrono.	1589
5.10.	Técnicas de mejora de prestaciones en sistemas síncronos. "Pipeline".	1603
5.10.1.	Introducción.	1604
5.10.2.	Técnicas de mejora de prestaciones.	1606
5.10.3.	Técnica de segmentación.	1607
5.10.3.1.	Ejemplo de aplicación. Circuito multiplicador.	1621
5.10.3.2.	Multiplicador segmentado.	1628
5.10.3.3.	Multiplicadores.	1638
5.10.3.4.	Divisores.	1640
5.10.4.	Técnica de duplicación de estados.	1642
5.11.	Método de diseño de sistemas concurrentes. Redes de Petri.	1655
5.11.1.	Introducción.	1656
5.11.2.	Redes de Petri.	1657
5.11.2.1.	Introducción.	1657
5.11.2.2.	Diseño de una red de Petri.	1658
5.11.2.3.	Realización de una red de Petri.	1662

5.11.2.4.	Ejemplo de diseño.	1667
5.11.2.5.	Realización física de una RdP.	1676
5.12.	Diseño para fiabilidad.	1695
5.12.1.	Introducción.	1696
5.12.2.	Radiación.	1699
5.12.3.	Parámetros de medida de la radiación.	1702
5.12.4.	Efectos de la radiación.	1704
5.12.5.	Especificaciones de los circuitos.	1710
5.12.6.	Técnicas para el diseño de circuitos fiables.	1714
5.12.7.	Herramientas para el diseño de circuitos fiables.	1721
5.12.8.	Recuperación tras un fallo.	1723
5.12.9.	Ejemplos de aplicación.	1725
5.13.	Diseño para bajo consumo.	1727
5.13.1.	Introducción.	1728
5.13.2.	Potencia consumida.	1730
5.13.2.1.	Potencia estática.	1732
5.13.2.2.	Potencia interna.	1733
5.13.2.3.	Potencia de E/S.	1741
5.13.3.	Potencia consumida (continuación).	1746

5.13.4.	Especificaciones de los circuitos.	1748
5.13.5.	Técnicas para el diseño de sistemas digitales de bajo consumo.	1751
5.13.5.1.	Básicas.	1752
5.13.5.2.	Avanzadas.	1763
5.13.6.	Conclusiones.	1780
5.13.7.	Ejemplos de aplicación.	1782
5.14.	Diseño para el cumplimiento de especificaciones temporales.	1793
5.14.1.	Introducción.	1794
5.14.2.	Restricciones temporales.	1796
5.14.3.	Técnicas de “Timing Closure”.	1803
5.14.4.	Conclusiones.	1820
5.15.	Sistemas de procesamiento y control en tiempo real.	1823
5.15.1.	Introducción.	1824
5.15.2.	Procesado secuencial.	1827
5.15.2.1.	Autónomo.	1832
5.15.2.2.	Con unidad de control global.	1834
5.15.2.3.	Ejemplo de sistema autónomo.	1841
5.15.2.4.	Ejemplo de sistema con unidad de control.	1849
5.15.3.	Procesado continuo.	1855

5.15.3.1.	Monofrecuencia.	1862
5.15.3.2.	Multifrecuencia.	1865
5.15.3.2.1.	Con varias señales de reloj.	1865
5.15.3.2.2.	Con señales de habilitación.	1871
5.15.3.2.3.	Ejemplos.	1877
5.15.3.2.4.	Circuitos que modifican la frecuencia de muestreo.	1886

6. TEORÍA BÁSICA DEL LENGUAJE VHDL.

6.1.	Lenguaje VHDL para síntesis.	1899
6.1.1.	Introducción.	1900
6.1.2.	Sintaxis del VHDL.	1903
6.1.3.	Entidad.	1905
6.1.4.	Arquitectura.	1907
6.1.5.	Descripción lógica.	1910
6.1.5.1.	Tipos de datos.	1910
6.1.5.2.	Tipos de objetos.	1914
6.1.5.3.	Operadores.	1916
6.1.5.4.	Sentencias concurrentes.	1918
6.1.5.5.	Sentencias secuenciales.	1923
6.1.6.	Instanciación.	1929
6.1.7.	Ejemplos.	1935
6.1.8.	Utilización de los ficheros VHDL.	1942
6.1.9.	Estímulos para simulación.	1944
6.2.	Descripción de circuitos combinacionales en VHDL.	1949
6.2.1.	Introducción.	1950
6.2.2.	Circuitos combinacionales.	1952

6.2.2.1.	Decodificadores.	1952
6.2.2.2.	Multiplexores.	1957
6.2.2.3.	Codificadores.	1961
6.2.3.	Circuitos aritméticos combinacionales.	1964
6.2.3.1.	Sumadores.	1965
6.2.3.2.	Comparadores.	1970
6.2.4.	Conclusiones.	1974
6.3.	Descripción de circuitos secuenciales en VHDL.	1975
6.3.1.	Introducción.	1976
6.3.2.	Circuitos secuenciales.	1978
6.3.2.1.	Biestables.	1978
6.3.2.2.	Registros.	1981
6.3.2.3.	Contadores.	1983
6.3.2.4.	Registros de desplazamiento.	1992
6.3.3.	Memorias.	1998
6.3.3.1.	RAM.	2000
6.3.3.2.	ROM.	2006
6.3.4.	Sistemas Secuenciales Síncronos de control.	2012
6.3.5.	Conclusiones.	2028

6.4.	Descripción de circuitos aritméticos en VHDL.	2029
6.4.1.	Introducción.	2030
6.4.2.	Sumadores.	2037
6.4.3.	Restadores.	2062
6.4.4.	Multiplicadores.	2069
6.4.5.	Divisores.	2091
6.4.6.	Circuitos de cuantificación y rebasamiento.	2106
6.4.7.	Otros circuitos.	2115

7. PRÁCTICA BÁSICA DE DISEÑO DIGITAL CON FPGAs.

7.1.	Acoplamiento entre FPGAs y otros componentes, circuitos y sistemas.	2119
7.1.1.	Introducción.	2120
7.1.2.	Interruptores y pulsadores.	2121
7.1.3.	LEDs.	2131
7.1.4.	Visualizadores de 7 segmentos.	2138
7.1.5.	Circuitos.	2140
7.1.5.1.	Buses de tres estados.	2140
7.1.5.2.	Temporizadores.	2145
7.1.5.3.	Convertidor D/A.	2149
7.1.5.4.	Convertidor A/D.	2154
7.1.5.5.	Memorias.	2164
7.1.5.5.1.	EPROM.	2165
7.1.5.5.2.	SRAM.	2168
7.1.5.6.	Microprocesadores y microcontroladores.	2173
7.1.5.6.1.	Microcontroladores.	2175
7.1.6.	Interfaces de comunicaciones.	2181

8. PRÁCTICA AVANZADA DE DISEÑO DIGITAL CON FPGAs.

8.1.	Diseño de filtros FIR con FPGAs.	2191
8.1.1.	Introducción a los filtros digitales.	2192
8.1.2.	Filtros FIR.	2198
8.1.3.	Diseño de filtros FIR. “FDA Tool”.	2204
8.1.4.	Estructuras de filtros FIR.	2216
8.1.5.	Aritmética distribuida.	2220
8.1.6.	Implementación de filtros FIR con FPGAs.	2230
8.1.6.1.	Filtro FIR serie.	2241
8.1.6.2.	“Cores” de filtros FIR de Xilinx.	2242
8.1.6.3.	Elección de la estructura adecuada.	2253
8.1.7.	Adaptación de los resultados del filtro.	2261
8.1.8.	Simulación y prueba real del filtro.	2263

9. LABORATORIO BÁSICO DE DISEÑO DIGITAL CON FPGAs.

9.1.	Pasos necesarios para realizar el diseño e implementación de un sistema digital mediante herramientas de CAD para diseño con FPGAs.	2269
9.2.	Tutorial de diseño con FPGAs en la herramienta Foundation ISE 8.2 de Xilinx con la placa S3 de Digilent.	2285
9.2.1.	Introducción.	2286
9.2.2.	Descripción.	2289
9.2.3.	Compilación. Síntesis.	2296
9.2.4.	Simulación funcional.	2299
9.2.5.	Implementación.	2305
9.2.6.	Simulación temporal.	2308
9.2.7.	Descripción (continuación).	2312
9.2.8.	Prueba en la placa.	2323
9.2.8.1.	Placa S3 de Digilent.	2324
9.2.9.	Programación del circuito.	2342
9.3.	Tutorial de diseño con FPGAs en la herramienta ISE 13.1 de Xilinx con la placa Nexys 2 de Digilent.	2347
9.3.1.	Introducción.	2348
9.3.2.	Descripción.	2354

9.3.3.	Compilación. Síntesis.	2362
9.3.4.	Simulación funcional.	2366
9.3.5.	Implementación.	2376
9.3.6.	Simulación temporal.	2380
9.3.7.	Descripción (continuación).	2389
9.3.8.	Prueba en la placa.	2401
9.3.8.1.	Placa Nexys 2 de Digilent.	2402
9.3.9.	Programación del circuito.	2428
9.4.	Tutorial de diseño con FPGAs en la herramienta Quartus II 5.1 de Altera con la placa LiveDesign de Altium.	2441
9.4.1.	Introducción.	2442
9.4.2.	Creación de proyectos.	2443
9.4.3.	Descripción mediante VHDL.	2445
9.4.4.	Visor RTL.	2458
9.4.5.	Bibliotecas de Altera.	2462
9.4.5.1.	Componentes parametrizables.	2467
9.4.6.	Compilación. Síntesis. Visor de bajo nivel.	2483
9.4.7.	Simulación funcional.	2491
9.4.8.	Implementación.	2493

9.4.9.	Simulación temporal.	2496
9.4.10.	Prueba en la placa.	2497
9.4.11.	Programación del circuito.	2500

10. LABORATORIO AVANZADO DE DISEÑO DIGITAL CON FPGAs.

10.1. Técnicas avanzadas de diseño con FPGAs de la familia Virtex 2 de Xilinx. ...	2505
10.1.1. Introducción.	2506
10.1.2. Normas de síntesis.	2508
10.1.3. Técnicas avanzadas de diseño con FPGAs.	2512
10.1.3.1. Duplicación de biestables.	2513
10.1.3.2. Utilización de biestables de E/S.	2518
10.1.3.3. Asignación de terminales de E/S.	2521
10.1.3.4. Organización de la lógica interna.	2525
10.1.3.5. Entrelazado de las señales.	2529
10.1.3.6. Migración de circuito.	2533
10.1.3.7. Planificación de la placa de circuito impreso.	2535
10.2. Realización óptima de circuitos secuenciales con FPGAs de la familia Virtex 2 de Xilinx.	2537
10.2.1. Introducción.	2538
10.2.2. Bancos de registros.	2540
10.2.3. Registros de desplazamiento.	2544
10.2.4. Contadores.	2552
10.2.5. Memorias.	2556

10.3.	Realización óptima de circuitos aritméticos con FPGAs de la familia Virtex 2 de Xilinx.	2561
10.3.1.	Introducción.	2562
10.3.2.	Comparadores con cero.	2564
10.3.3.	Unidades Aritmético-Lógicas.	2565
10.4.	Componentes “hardware” avanzados de la familia Virtex 2 de Xilinx.	2573
10.4.1.	Introducción.	2574
10.4.2.	Circuito de gestión de reloj. DCM.	2577
10.4.3.	Conclusiones.	2583
10.5.	Componentes “hardware” avanzados de la familia Virtex 4 de Xilinx.	2585
10.5.1.	Introducción.	2586
10.5.2.	Circuito de gestión de reloj. DCM.	2589
10.5.3.	Circuito aritmético Xtreme DSP.	2594
10.5.4.	Transceptores serie. MGT.	2599
10.5.5.	Conclusiones.	2609
10.6.	Herramientas avanzadas del entorno ISE de Xilinx.	2610
10.6.1.	Introducción.	2611
10.6.2.	Generación de circuitos IP. “Core Generator”.	2614
10.6.3.	Asignación de terminales. “PACE”.	2618

10.6.4.	Cálculo del consumo. “XPower”.	2624
10.6.5.	Análisis de retardos. “Timing Analyzer”.	2630
10.6.6.	Depuración. “Chipscope”.	2635
10.6.7.	Posicionamiento. “FloorPlanner”.	2650
10.6.8.	Planificación de sistemas complejos. “PlanAhead”.	2655
10.6.9.	Conclusiones.	2660
10.7.	Depuración con la herramienta “Chipscope” de Xilinx.	2661
10.7.1.	Introducción.	2662
10.7.2.	“Core Chipscope”.	2663
10.7.3.	Parámetros “Chipscope”.	2673
10.7.4.	Implementación.	2680
10.7.5.	Análisis con “Chipscope”.	2682
10.7.6.	Conclusiones.	2692
10.8.	Opciones de síntesis e implementación del entorno ISE de Xilinx.	2693
10.8.1.	Introducción.	2694
10.8.2.	Opciones de compilación.	2697
10.8.3.	Opciones de síntesis.	2701
10.8.3.1.	Opciones principales de síntesis.	2705
10.8.4.	Opciones de implementación.	2712

10.8.4.1.	Opciones principales de implementación.	2720
10.8.5.	Otras opciones.	2723
10.8.6.	Herramienta de optimización “SmartXplorer”.	2727
10.8.7.	Conclusiones.	2728

11. EJEMPLOS BÁSICOS DE DISEÑO DE SISTEMAS DIGITALES CON FPGAs.

11.1.	Circuito de interfaz para un ratón PS2.	2729
11.1.1.	Especificaciones.	2730
11.1.2.	Introducción al funcionamiento de un ratón PS2.	2733
11.1.3.	Componentes del circuito de interfaz.	2739
11.1.4.	Funcionamiento del circuito.	2744
11.2.	Circuito de interfaz para un monitor VGA.	2753
11.2.1.	Especificaciones.	2754
11.2.2.	Introducción a las señales VGA.	2757
11.2.3.	Componentes del circuito de interfaz.	2762
11.2.4.	Funcionamiento del circuito.	2771

12. DOCUMENTACIÓN ADICIONAL.

12.1.	Historia de los Circuitos Digitales Configurables (PLDs y FPGAs).	2773
12.1.1.	Historia de los Circuitos Digitales Configurables.	2774
12.1.2.	Presente de los Circuitos Digitales Configurables.	2781
12.2.	Análisis comparativo de los Circuitos Digitales Configurables.	2783
12.2.1.	Comparativa CDCs frente a Circuitos estándar.	2784
12.2.2.	Comparativa CDCs frente a Circuitos semimeditada.	2788
12.2.3.	Comparativa PLDs frente a CPLDs y FPGAs.	2792
12.2.4.	Comparativa FPGAs frente a DSPs.	2796
12.3.	Selección del Circuito Digital Configurable adecuado.	2809
12.3.1.	Criterios de selección de un CDC.	2810
12.3.2.	Elección de un CDC que se adapte a la aplicación.	2815
12.3.3.	Criterios de comparación de CDCs en base a su capacidad.	2820
12.3.3.1.	Medición de recursos ("metrics").	2821
12.3.3.2.	Criterios de evaluación de las prestaciones ("benchmark").	2829
12.3.3.3.	Medición del área de Silicio.	2841
12.4.	Arquitecturas de otros tipos de Circuitos Configurables.	2843
12.4.1.	Circuitos analógicos.	2844
12.4.2.	Circuitos de interconexión.	2848

12.4.3.	Circuitos generadores de reloj.	2851
12.5.	Diferencias en los resultados de la implementación de diferentes circuitos mediante PLDs y FPGAs.	2855
12.5.1.	Macrocelda PLDs familia 9500 de Xilinx.	2856
12.5.2.	“Slice” FPGAs familia Spartan II de Xilinx.	2857
12.5.3.	Decodificador 1 entre 8.	2858
12.5.4.	Multiplexor de 8 canales.	2865
12.5.5.	Contador de 8 bits.	2867

Bibliografía	2869
El autor	2875