

# ÍNDICE

<b>Introducción.</b> .....	XV
<b>Agradecimientos.</b> .....	XXI
<b>Capítulo 1. Diseño de sistemas combinacionales.</b> .....	1
1.1.- Introducción. ....	1
1.2.- Métodos de minimización de sistemas combinacionales. ....	3
1.2.1.- Métodos de minimización de dos niveles. ....	3
1.2.1.1.- Historia de los métodos de minimización de funciones lógicas. ....	6
1.2.1.2.- Conceptos básicos en la minimización de funciones lógicas. ....	7
1.2.1.3.- Algoritmo ESPRESSO-II de minimización de funciones lógicas. ....	10
1.2.2.- Métodos de minimización mediante funciones O-exclusiva (XOR). ....	11
1.2.3.- Métodos de minimización multinivel. ....	12
1.2.3.1.- Factorización y descomposición de las funciones lógicas. ....	16
1.3.- Diseño y realización de sistemas combinacionales. ....	18
1.3.1.- Funciones lógicas. ....	19
1.3.1.1.- Función f1 expresada mediante la suma de productos canónicos. ....	20
1.3.1.2.- Función f2 expresada mediante una expresión lógica. ....	23
1.3.1.3.- Multifunción (f3 y f4) expresada mediante expresiones lógicas. ....	27
1.3.1.4.- Función f5 incompleta (con términos indiferentes). ....	32
1.3.2.- Decodificadores. ....	36
1.3.2.1.- Decodificadores de 7 segmentos. ....	39
1.3.2.2.- Decodificadores específicos. ....	42
1.3.3.- Multiplexores. ....	46
1.3.4.- Codificadores. ....	49

1.3.5.- Demultiplexores. ....	51
1.4.- Fenómenos aleatorios. ....	55
1.5.- Influencia de las herramientas de CAD en el diseño de sistemas combinacionales. ....	60
1.6.- Ejercicios propuestos. ....	64
Bibliografía. ....	66
<b>Capítulo 2. Diseño de sistemas secuenciales. ....</b>	<b>71</b>
2.1.- Introducción. ....	71
2.2.- Señales de reloj. ....	72
2.2.1.- Desfase de reloj (“clock skew”). ....	73
2.2.2.- Relojes multifrecuencia. ....	76
2.2.3.- Relojes multifase. ....	78
2.2.4.- Bucles enclavados en fase [PLL (“Phase Locked Loop”)]. ....	79
2.3.- Diseño y realización de circuitos secuenciales. ....	80
2.3.1.- Biestables. ....	80
2.3.2.- Registros de entrada y salida en paralelo. ....	86
2.3.3.- Contadores. ....	87
2.3.3.1.- Realización de contadores de múltiples etapas. ....	94
2.3.4.- Registros de desplazamiento. ....	102
2.3.4.1.- Realización de registros de desplazamiento mediante memorias RAM síncronas. ....	104
2.3.5.- Circuitos secuenciales lineales. ....	107
2.3.5.1.- Filtros alimentados (“Feedforward filters”). .	108
2.3.5.2.- Filtros realimentados (“Feedback filters”). .	112
2.3.5.3.- Registros de desplazamiento realimentados (LFSRs). ....	119
2.3.6.- Memorias. ....	124
2.3.6.1.- Memorias de sólo lectura (ROM). ....	125
2.3.6.2.- Memorias de lectura/escritura (RAM). ....	127
2.3.6.2.1.- Memorias RAM síncronas. ....	129
2.3.6.2.2.- Memorias RAM de doble acceso. .	131
2.3.6.2.3.- Memorias PILA (LIFO). ....	133
2.3.6.2.4.- Memorias FIFO. ....	139
2.3.7.- Sistemas secuenciales síncronos de control. ....	146
2.3.7.1.- Tratamiento de las variables de entrada. ....	149
2.3.7.1.1.- Sincronización de las variables de entrada asíncronas. ....	150
2.3.7.1.2.- Detección de flancos. ....	164
2.3.7.1.3.- Metaestabilidad. ....	169

2.3.7.1.4.- Detección de estados de corta duración. . . . .	189
2.3.7.2.- Realización física de los sistemas secuenciales de control. . . . .	193
2.3.7.2.1.- Codificación de un sistema secuencial. . . . .	194
2.3.7.2.2.- Definición de condiciones de transición entre estados. . . . .	208
2.3.7.2.3.- Realización de salidas de un sistema secuencial. . . . .	212
2.3.7.2.4.- Transitorios en las salidas. . . . .	216
2.3.7.2.5.- Puesta en estado inicial. . . . .	226
2.3.7.3.- Análisis de retardos en un sistema secuencial síncrono. . . . .	229
2.3.7.3.1.- Señal de reloj. . . . .	229
2.3.7.3.2.- Retardos internos. . . . .	230
2.3.7.3.3.- Retardos de entrada/salida. . . . .	239
2.3.7.3.4.- Desfase de reloj (“clock skew”). . . . .	247
2.3.7.4.- Sistemas secuenciales de tipo Mealy. . . . .	248
2.3.8.- Temporizaciones. . . . .	256
2.3.8.1.- Funciones de temporización. . . . .	257
2.3.8.2.- Tipos de temporizadores. . . . .	258
2.3.8.3.- Elección de un temporizador. . . . .	259
2.3.8.4.- Realización de temporizadores digitales internos. . . . .	263
2.3.8.5.- Generación de pulsos de duración predeterminada. . . . .	274
2.3.8.6.- Modificación de la función de temporización. . . . .	275
2.3.9.- Sistemas concurrentes. . . . .	284
2.3.9.1.- Introducción a las redes de Petri. . . . .	284
2.3.9.2.- Diseño y realización de redes de Petri. . . . .	286
2.3.9.3.- Ejemplo de aplicación. Productor-consumidor con exclusión mutua. . . . .	287
2.4.- Ejercicios propuestos. . . . .	297
Bibliografía. . . . .	300
<b>Capítulo 3. Diseño de sistemas aritméticos. . . . .</b>	<b>307</b>
3.1.- Introducción. . . . .	307
3.2.- Diseño y realización de circuitos aritméticos. . . . .	308
3.2.1.- Sumadores. . . . .	309
3.2.1.1.- Sumadores paralelo combinacionales con acarreo en serie. . . . .	310

3.2.1.1.1.- Acarreo en serie convencional. . . . .	310
3.2.1.1.2.- Acarreo en serie con circuitos específicos de cálculo. . . . .	313
3.2.1.2.- Sumadores paralelo combinacionales con acarreo en paralelo. . . . .	317
3.2.1.3.- Sumadores serie secuenciales. . . . .	321
3.2.2.- Restadores. . . . .	324
3.2.2.1.- Complemento a dos. . . . .	324
3.2.2.2.- Restadores paralelo combinacionales. . . . .	327
3.2.2.3.- Restadores serie secuenciales. . . . .	336
3.2.2.4.- Sumadores/Restadores. . . . .	339
3.2.3.- Comparadores. . . . .	340
3.2.3.1.- De identidad. . . . .	340
3.2.3.1.1.- Comparadores de identidad con un operando constante. . . . .	340
3.2.3.1.2.- Comparadores de identidad paralelo combinacionales. . . . .	340
3.2.3.1.3.- Comparadores de identidad serie secuenciales. . . . .	343
3.2.3.2.- De magnitud. . . . .	345
3.2.3.2.1.- Comparadores de magnitud paralelo combinacionales. . . . .	347
3.2.3.2.2.- Comparadores de magnitud serie secuenciales. . . . .	351
3.2.3.2.3.- Comparadores realizados mediante un circuito restador. . . . .	355
3.2.4.- Detectores/generadores de paridad. . . . .	356
3.2.4.1.- Detectores/generadores de paridad paralelo combinacionales. . . . .	356
3.2.4.2.- Detectores/generadores de paridad serie secuenciales. . . . .	358
3.2.5.- Multiplicadores. . . . .	362
3.2.5.1.- Multiplicadores con un operando constante. . .	362
3.2.5.2.- Multiplicadores paralelo combinacionales. . .	368
3.2.5.3.- Multiplicadores serie secuenciales. . . . .	373
3.2.6.- Divisores. . . . .	379
3.2.6.1.- Divisores con un operando constante. . . . .	379
3.2.6.2.- Divisores enteros secuenciales. . . . .	381
3.2.6.2.1.- Divisor entero secuencial basado en restas sucesivas. . . . .	381
3.2.6.2.2.- Divisor entero serie secuencial basado en el algoritmo restaurador. . . . .	385

Índice	XI
3.3.- Ejercicios propuestos. ....	393
Bibliografía. ....	397
<b>Capítulo 4. Acoplamiento entre sistemas digitales secuenciales y otros componentes y circuitos.</b> .....	399
4.1.- Introducción. ....	399
4.2.- Acoplamiento de componentes externos a un sistema digital. ....	399
4.2.1.- Acoplamiento de interruptores. ....	399
4.2.2.- Acoplamiento de pulsadores. ....	402
4.2.3.- Acoplamiento de LEDs. ....	404
4.2.4.- Acoplamiento de visualizadores de 7 segmentos. ....	407
4.3.- Acoplamiento de otros circuitos a un sistema digital. ....	408
4.3.1.- Realización de buses de tres estados. ....	409
4.3.2.- Acoplamiento de temporizadores. ....	412
4.3.3.- Acoplamiento de convertidores D/A. ....	414
4.3.4.- Acoplamiento de convertidores A/D. ....	415
4.3.5.- Acoplamiento de memorias. ....	425
4.3.5.1.- Memorias PROM. ....	426
4.3.5.2.- Memorias SRAM. ....	428
4.3.6.- Acoplamiento de microcontroladores. ....	433
4.3.7.- Acoplamiento de circuitos síncronos con diferente señal de reloj. ....	441
4.4.- Interfaces de comunicaciones. ....	448
4.4.1.- Interfaz serie asíncrono RS232. ....	450
4.4.1.1.- Transmisor serie asíncrono RS232. ....	451
4.4.1.2.- Receptor serie asíncrono RS232. ....	459
4.4.2.- Interfaz paralelo asíncrono EPP. ....	472
Bibliografía. ....	490
<b>Capítulo 5. Diseño de sistemas digitales complejos.</b> .....	495
5.1.- Introducción. ....	495
5.1.1.- Análisis previo de la solución más adecuada. ....	496
5.1.2.- Campos de aplicación del método sistemático de diseño. ....	499
5.2.- Método sistemático de diseño de sistemas digitales totalmente síncronos de aplicación específica. ....	501
5.2.1.- Ejemplo práctico de utilización del método. ....	503
5.3.- Comparación práctica de la utilidad del método. ....	519
5.3.1.- Diseño de una memoria pila (LIFO) con FPGAs sin utilizar el método sistemático. ....	521
5.3.2.- Diseño de una memoria pila (LIFO) con FPGAs mediante el método sistemático. ....	528

5.4.- Elección del flanco activo de reloj. . . . .	540
5.4.1.- Realización de una operación aritmética. . . . .	540
5.4.2.- Toma de decisión en función del resultado de una operación. . . . .	550
5.5.- Técnicas para la mejora de prestaciones. . . . .	558
5.5.1.- Técnica de duplicación de estados de la unidad de control. . . . .	558
5.5.2.- Técnica de segmentación de caminos de datos mediante la utilización de registros ("pipeline"). . . . .	563
Bibliografía. . . . .	573
<b>Capítulo 6. Tecnologías de los circuitos digitales configurables. . . . .</b>	<b>575</b>
6.1.- Introducción. . . . .	575
6.2.- Tecnologías de fabricación. . . . .	575
6.2.1.- Características eléctricas de los circuitos digitales. . . . .	576
6.2.2.- TTL. . . . .	579
6.2.3.- CMOS. . . . .	580
6.2.4.- LVTTTL. . . . .	582
6.2.5.- LVCMOS(33). . . . .	583
6.2.6.- LVCMOS2(5). . . . .	584
6.2.7.- LVCMOS18. . . . .	585
6.2.8.- LVCMOS15. . . . .	586
6.2.9.- Acoplamiento entre circuitos de diferente tecnología. . . . .	587
6.2.10.- Oscilación del nivel de masa ("ground bounce"). . . . .	589
6.2.11.- Potencia consumida. . . . .	590
6.2.11.1.- Normas básicas para la reducción de la potencia consumida. . . . .	595
6.3.- Tecnologías de configuración. . . . .	597
6.3.1. Tecnologías de memoria pasiva (ROM). . . . .	598
6.3.2. Tecnologías de memoria activa estática (SRAM). . . . .	602
6.3.3. Tecnologías de antifusible. . . . .	602
6.4.- Métodos de configuración. . . . .	605
6.4.1.- Programación fuera del sistema mediante un equipo específico. . . . .	605
6.4.2.- Programación en el sistema (ISP). . . . .	607
6.4.2.1.- Mediante un sistema o circuito de control externo. . . . .	609
6.4.2.2.- Mediante una memoria auxiliar. . . . .	610
Bibliografía. . . . .	613
<b>Capítulo 7. Verificación y comprobación de los sistemas digitales. . . . .</b>	<b>617</b>
7.1.- Introducción. . . . .	617

7.2.- Simulación de un sistema digital. . . . .	617
7.3.- Análisis de retardos de un sistema digital. . . . .	622
7.3.1.- Informes de retardos (“timing reports”). . . . .	622
7.3.2.- Tipos de retardos analizados. . . . .	625
7.3.3.- Herramientas de análisis de retardos. . . . .	633
7.3.4.- Cálculo de la máxima frecuencia de funcionamiento de un sistema digital. . . . .	635
7.3.4.1.- Ejemplo 1. Sistema combinacional. . . . .	635
7.3.4.2.- Ejemplo 2. Sistema secuencial síncrono autónomo. . . . .	640
7.3.4.3.- Ejemplo 3. Sistema secuencial síncrono con evolución controlada mediante una unidad de control . . . . .	648
7.3.4.4.- Ejemplo 4. Sistema secuencial asíncrono . . . . .	657
7.4.- Comprobación del circuito. . . . .	664
7.4.1.- Por parte del fabricante. . . . .	664
7.4.2.- Por parte del diseñador. . . . .	666
7.5.- Diseño para verificabilidad. . . . .	667
7.6.- Método de exploración periférica (“boundary scan”). . . . .	670
7.6.1.- Componentes de los circuitos de exploración periférica. . . . .	672
7.6.2.- Puerto de acceso a la comprobación (TAP). . . . .	673
7.6.3.- Unidad de control de los circuitos de exploración periférica. . . . .	674
7.6.4.- Celda básica del registro “Boundary Scan”. . . . .	677
7.6.5.- Instrucciones básicas del método de exploración periférica. . . . .	680
7.6.6.- Utilización práctica del método de exploración periférica. . . . .	684
7.6.7.- Autocomprobación del circuito (BIST). . . . .	686
7.7.- Métodos específicos de comprobación. . . . .	687
7.7.1.- Método específico de comprobación (“probing”) para FPGAs de la familia 4000 de Xilinx. . . . .	687
Bibliografía. . . . .	689
<b>Capítulo 8. Tipos de circuitos digitales. . . . .</b>	<b>693</b>
8.1.- Introducción. . . . .	693
8.2.- Microprocesadores. . . . .	693
8.3.- Microcontroladores. . . . .	697
8.4.- Procesadores Digitales de Señal (DSPs). . . . .	698
8.5.- Circuitos estándar de función fija. . . . .	700
8.6.- Circuitos Digitales Configurables (PLDs y FPGAs). . . . .	701
8.7.- Circuitos de aplicación específica (ASICs). . . . .	702
8.7.1.- Circuitos semimedida (“semi-custom”). . . . .	702

8.7.2.- Circuitos totalmente a medida (“full-custom”). . . . .	706
8.8.- Sistemas en un circuito (SOCs). . . . .	706
8.9.- Comparación de las diferentes soluciones. . . . .	708
Bibliografía. . . . .	709